

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-191935
 (43)Date of publication of application : 28.07.1995

(51)Int.Cl. G06F 13/38

(21)Application number : 06-206362 (71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 31.08.1994 (72)Inventor : CERICHETTI CORY A
 DINICOLA PAUL D
 JOHNS CHARLES R
 RAHIM OMAR M
 RICE DAVID A
 VAN NOSTRAND MARK

(30)Priority

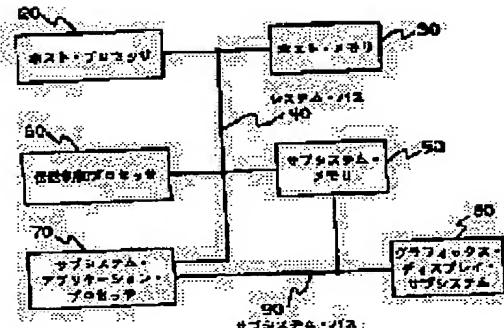
Priority number : 93 144175 Priority date : 27.10.1993 Priority country : US

(54) DATA PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To efficiently transfer data between a host system and a sub-system.

CONSTITUTION: Data are efficiently transferred from a host system through a system bus 40 to a sub-system connected with the host system by using more than one virtual first-in first-out(FIFO) registers in a host memory 30 and a corresponding virtual FIFO set arranged in a sub system memory 50. A transmission controller controls data transfer from a host FIFO to a sub-system FIFO, and a sub-system processor reads and processes data from the sub-system FIFO. The data are stored in the host FIFO before transferred to the sub-system so that overhead related with the start and stop of the data transfer on the system bus 40 can be substantially reduced.



LEGAL STATUS

[Date of request for examination] 31.08.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2784459
[Date of registration] 29.05.1998
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right] 29.05.2001

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-191935

(43)公開日 平成7年(1995)7月28日

(51)Int.Cl.⁶
G 0 6 F 13/38

識別記号 庁内整理番号
3 1 0 F 8944-5B

F I

技術表示箇所

(21)出願番号 特願平6-206362

(22)出願日 平成6年(1994)8月31日

(31)優先権主張番号 1 4 4 1 7 5

(32)優先日 1993年10月27日

(33)優先権主張国 米国(US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレイション
INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 コリー・アンセル・チェリチエッティ
アメリカ合衆国、ニューヨーク州キングス
トン、ペリー・ヒル・ロード (番地な
し)

(74)代理人 弁理士 合田 潔 (外2名)

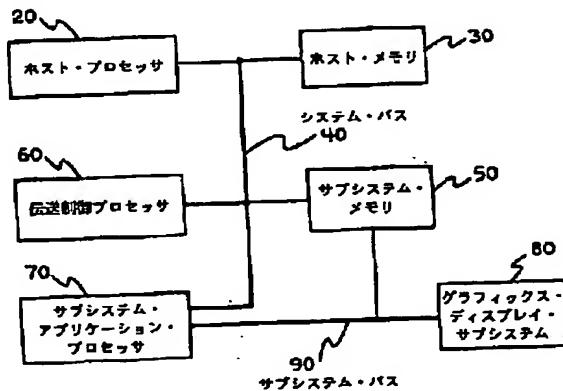
最終頁に続く

(54)【発明の名称】 データ処理システム及びデータ転送方法

(57)【要約】 (修正有)

【目的】 ホストとサブシステムとの間でデータを効率的に転送する。

【構成】 データがシステム・バス40により、ホスト・システムからホスト・システムに接続されるサブシステムに、ホスト・メモリ30内の1個以上の仮想ファーストイン-ファーストアウト(FIFO)・レジスタ、及びサブシステム・メモリ50内に配置される対応する仮想FIFOのセットを用いて効率的に転送される。伝送制御装置がホストFIFOからサブシステムFIFOへのデータ転送を制御し、サブシステム・プロセッサがサブシステムFIFOからデータを読み出して処理する。データをサブシステムに転送する以前に、ホストFIFOに蓄積することにより、システム・バス40上におけるデータ転送の開始及び停止に関するオーバヘッドが実質的に低減される。



1

【特許請求の範囲】

【請求項1】オペレーティング・システム・プログラムの制御の下でアプリケーション・プログラムを実行する第1の処理手段と、

前記第1の処理手段に接続され、前記第1の処理手段に関連するプログラム及びデータの形式の情報を記憶し、1個以上の周辺サブシステムに伝送する前記情報を蓄積する1個以上の一時記憶レジスタを含む第1のメモリ手段と、

前記第1のメモリ手段に接続され、前記情報を前記1個以上の周辺サブシステムに伝送する伝送手段と、

前記伝送手段に接続される1個以上の周辺サブシステムであって、

前記伝送手段に接続され、前記第1のメモリと前記周辺サブシステムとの間の情報の伝送を制御する伝送制御手段と、

前記伝送手段及び前記伝送制御手段に接続され、前記第1のメモリ手段から受信される情報及び前記第1のメモリ手段に伝送される情報を記憶する第2のメモリ手段であって、前記第1のメモリ手段から受信される前記情報を記憶し、前記第2のメモリ手段から前記第1のメモリ手段に伝送されるデータを蓄積する1個以上の一時レジスタと、前記第2のメモリ手段に接続され、前記第1のメモリ手段から前記第2のメモリ手段に伝送される情報を処理する第2のプロセッサとを含む前記第2のメモリ手段と、を含む各前記周辺サブシステムとを含むデータ処理システム。

【請求項2】前記第2のプロセッサに接続され、前記第2のプロセッサによる処理情報結果を表示するビデオ表示システムを含む、

請求項1記載のデータ処理システム。

【請求項3】前記ビデオ表示システムが前記第2のプロセッサによる処理の結果生じる情報のグラフィックス表現を表示する、請求項2記載のデータ処理システム。

【請求項4】前記第1のメモリ内の前記一時記憶レジスタがファーストイン-ファーストアウト・レジスタを含む、請求項1記載のデータ処理システム。

【請求項5】前記第2のメモリ手段内の前記1個以上の一時レジスタが、ファーストイン-ファーストアウト・レジスタを含む、請求項1記載のデータ処理システム。

【請求項6】情報処理システムにおける第1のメモリ手段と第2のメモリ手段との間のデータの効率的伝送方法であって、

第1のメモリ手段内の1個以上の一時レジスタ内のデータ量が第1の所定レベルに達したかどうかを判断する第1の判断ステップと、

前記第1の判断ステップにより前記第1の所定レベルに達したと判断されると、直接メモリ・アクセス転送を用いる伝送制御手段の制御により、前記第1のメモリ手段内の前記一時レジスタから、前記第2のメモリ手段内の

10

20

30

40

50

2

対応する1個以上の一時レジスタにデータを伝送するステップとを含むデータ効率的伝送方法。

【請求項7】前記第2のメモリ手段内の前記1個以上の一時レジスタ内に、伝送されるデータ量を収容する十分な空間が存在するかどうかを判断するステップを含む、請求項6記載のデータ効率的伝送方法。

【請求項8】情報を伝送するための多数の試行を表すカウントを含む1個以上のカウンタを更新するステップを含む、請求項6記載のデータ効率的伝送方法。

【請求項9】前記第1のメモリ手段内に、前記第2のメモリ手段に伝送される情報を含む複数の一時記憶レジスタが存在するかどうかを判断し、複数存在すると判断されると、前記一時記憶レジスタからのデータ転送の完了後に、次の1時記憶レジスタに移行するステップを含む、請求項6記載のデータ効率的伝送方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はホスト・システム及び通信サブシステムによりホストに接続される周辺サブシステムを有するデータ処理システムに関し、特に通信サブシステムにより周辺サブシステムに接続されるホスト・システムを有し、データがホスト・システムと周辺サブシステムとの間を直接メモリ・アクセスにより伝送されるデータ処理システムに関する。

【0002】

【従来の技術】ここ数年の間に、ほとんどのデータ処理システムが特定のタイプのグラフィックス出力を標準機能として提供するようになった。このグラフィックス出力には、単純な2次元(2D)グラフィックス再生機能から、非常に高度な3次元(3D)グラフィックス再生機能まである。グラフィックス・サブシステムは複雑性、バージ数及びコストの点で多様である。例えば、2次元グラフィックス・サブシステムは、フレーム・バッファ及びビデオ論理だけを含むが、3次元グラフィックス・サブシステムは、通常、1個以上の浮動小数点プロセッサ、幾つかのカスタム超大規模集積回路(VLSI)、1個以上のフレーム・バッファ及びビデオ論理を含む。どちらの場合も、ホストがグラフィックス・アプリケーション・プログラムを実行し、グラフィックス・サブシステムのための適切なデータ・ストリームを生成する。比較的単純な2Dグラフィックスと、より複雑な3Dグラフィックスとの差は、グラフィックス命令処理及びラスタリゼーションにおいて見られる。単純な2Dグラフィックス・サブシステムの例では、ホスト・プロセッサはグラフィックス命令処理及びラスタリゼーションをソフトウェアで実行するが、より複雑な3Dグラフィックス・サブシステムの例では、グラフィックス・サブシステム内のハードウェア及びマイクロコードがグラフィックス命令及び他のグラフィックス処理を処理する。カスタマがこれらのニーズに最も適合するように、

より柔軟にシステムを構成できるように、通常、グラフィックス・サブシステムはスタンド・アロン機構として提供される。

【0003】グラフィックス・サブシステムは、通常、汎用バスによりホスト・プロセッサ・コンプレックスに接続される。ホスト・プロセッサとグラフィックス・サブシステムとの間のデータ転送は、2つの方法の内的一方により発生する。第1は、ホスト・プロセッサがプログラマブル入出力（P I O）転送を用い、データを直接グラフィックス・サブシステムに記憶する。第2は、グラフィックス・サブシステムが直接メモリ・アクセス（DMA）を用い、データをホスト・メモリから読出す。P I Oはホスト・プロセッサ内の命令を用い、單一ワードのデータをホスト・プロセッサ内のレジスタからグラフィックス・サブシステムに、或いはその逆に転送するデータ転送機構である。DMAオペレーションは大きな転送サイズに対して最も効率的であるが、グラフィックス・アプリケーションは通常、小さな転送サイズを生成するので、データ転送のためのDMA機構はグラフィックス・アプリケーションではほとんど使用されない。P I Oはグラフィックス・サブシステムへのデータの転送に使用される典型的な機構である。P I Oはホスト・プロセッサがデータを直接グラフィックス・サブシステムに送信することを可能にする。しかしながら、P I O機構は、通常、ホスト・プロセッサとグラフィックス・サブシステムを接続するバスの帯域幅を効率的に使用しない。

【0004】直接メモリ・アクセス（DMA）方法及び装置が、Christiansenらによる米国特許第3812475号で開示されており、この特許は本願においても参照される。

【0005】米国特許第4430699号は分散データ処理システムを開示し、一般にシステム相互通信プロセッサにより制御される幾つかの局所システムの相互接続を示す。システム相互通信プロセッサは、協調及び通信制御初期化、並びに局所システム間の通信に関連するシミュレーションを請け負う。機能通信層は通信プロトコルを請け負う。トランスポート・モジュール及びループ式光バスを含むトランスポート層は、局所システムと分散データ処理システムとの間のデータ伝送用のハードウェア層を提供する。

【0006】この特許の分散データ処理システムは、局所システム間の伝送に対応してデータを記憶するためにファーストインーファーストアウト（FIFO）・レジスタを使用するが、この特許はホストとサブシステムとの間のデータ転送効率を向上させ、データ転送開始及び停止時の短いバーストに固有のオーバヘッドを排除するために、独立のプロセッサの制御下で動作するホスト・メモリ内の複数の仮想FIFO及びサブシステム・メモリの使用を教示しない。

【0007】

【発明が解決しようとする課題】本発明の第1の目的は、転送される所定の最小量のデータを蓄積するために、最初にデータをシステム・メモリ内に配置される1個以上の仮想FIFOレジスタに書き込み、次にその最小量のデータを転送プロセッサの制御下で動作する直接メモリ・アクセス技術を用い、サブシステム・メモリ内に配置されるFIFOレジスタの対応するセットに転送することにより、ホストとサブシステムとの間でデータを効率的に転送することである。転送以前にFIFOレジスタにデータを蓄積することにより、システム・バス上におけるデータ転送の開始及び停止に関連するオーバヘッドの影響が最小化される。

【0008】

【課題を解決するための手段】従って、本データ処理システムは、ホスト・メモリを有するホスト・プロセッサと、ホスト・プロセッサからのデータを処理するプロセッサを有する入出力サブシステムと、ホストとサブシステムとの間で伝送される情報を記憶するサブシステム・メモリと、ホスト・メモリと直接メモリ・アクセスを用いるサブシステム・メモリとの間のデータ転送を制御する通信プロセッサとを含む。

【0009】好適な実施例では、データ処理システムは主メモリ、データ転送用のシステム・バス及びシステム・バスに接続され、ホスト・プロセッサにより生成されるグラフィックス命令を実行するグラフィックス・サブシステムを有するワークステーション・ホストを含む。1個以上の仮想FIFOがシステム・メモリ内に設けられ、更に仮想FIFOの対応するセットがグラフィックス・サブシステム・メモリ内に設けられて、蓄積データ・或いはシステム・バスを介して転送されるデータを記憶する。通信プロセッサは所定量のデータがホスト・メモリFIFOに蓄積されると、直接メモリ・アクセス技術を用いて転送を制御する。

【0010】

【実施例】一般に、グラフィックス描画サブシステムなどの特定の周辺サブシステムの性能は、ホスト・プロセッサなどのアプリケーション・プログラム・プロセッサから、グラフィックス・プロセッサなどのサブシステム・プロセッサに転送されるデータ量により制限される。この転送における主な制限要素は、任意の時間周期内に入出力バスを介して伝送される制御情報及びデータ情報の量である。近年、回路及びメモリ技術が飛躍的に改良されたため、処理能力もまた少なくとも10倍以上に強化された。しかしながら、ある期間、システム・バス上のデータ転送レートは、おおよそ2倍乃至3倍程度向上されるに過ぎなかった。

【0011】汎用バスは、増分デマンド応答技術又はP I Oを用いる少量のデータ転送ではなく、直接メモリ・アクセスを用いる大量のデータ転送においてより効率的

である。

【0012】グラフィックス処理アプリケーションにおいては、一般に、1回の転送により、比較的小量のデータ及び制御情報が、アプリケーション・プログラム・プロセッサからグラフィックス・プロセッサに転送されなければならない。グラフィックス・データ又は制御情報の転送サイズは小さいので、DMAオーバヘッドはDMA機構の使用を正当化せず、従って、ホストとサブシステムとの間の情報転送にとって、PIO機構が2つの乏しい選択の内では好適であった。遅いデマンド応答入出力オペレーション（PIO）は、アプリケーション・プログラム・プロセッサを妨害し、アプリケーション・プログラムに使用可能な処理帯域幅を減少させる。ホスト・プロセッサを遅いPIO転送の実行から解放することにより、ホストとサブシステムとの間の情報のより効率的な転送が、比較的小さな情報転送に対して直接メモリ・アクセス（DMA）技術を用いて達成される。

【0013】次に図を参照しながら、本発明について説明する。

【0014】図1を参照して、本発明を具現する装置について説明する。情報処理システム10は、オペレーティング・システム・プログラムの制御の下でアプリケーション・プログラム処理を実行するホスト・プロセッサ20を含む。ホスト・プロセッサ20はシステム・バス40及びホスト・メモリ30に接続され、ホスト・メモリ30はホスト・プロセッサ20において実行される処理に関連するプログラム及びデータ情報を記憶する。システム・バス40は、プログラム及びデータ情報を周辺サブシステムに伝送する。周辺サブシステムは、サブシステム・アプリケーション・プロセッサ70、サブシステム・メモリ50、及びグラフィックス・ディスプレイ・システム80を含む。伝送制御プロセッサ60がシステム・バス40に接続され、ホスト・メモリ30とサブシステム・メモリ50との間における、システム・バス40を介するプログラム及びデータ情報の伝送を制御する。サブシステム・アプリケーション・プロセッサ70はグラフィックス命令及び関連データを処理し、グラフィックス・ディスプレイ・サブシステム80にサブシステム・バス90を介して、表示されるイメージの画素ベースの表現を生成するための入力を提供する。

【0015】図2及び図3を参照して、ホスト・メモリ30及びサブシステム・メモリ50内の一時レジスタの割当てについて述べる。ホスト・プロセッサ20により処理される各アプリケーションは自身に対して、ホスト・メモリ30内の一時レジスタ、例えばFIFO-1 32、FIFO-2 34、FIFO-3 36、... FIFO-n 38を割当てる。サブシステム・メモリ50には対応する一時記憶レジスタ、例えばFIFO-1 52、FIFO-2 54、... FIFO-n 56が存在する。ホスト・プロセッサ20は

アプリケーション・プログラムを実行し、適切な制御情報又はデータ情報をホスト・メモリ30内の32などの所定のFIFOバッファに書込む。伝送制御プロセッサ60はFIFO-1 32内の情報のシステム・バス40を介する、サブシステム・メモリ50内の対応する一時レジスタFIFO-1 52への伝送を制御する。サブシステム・アプリケーション・プロセッサ70は次に、サブシステム・メモリ50内のFIFO-1 52から情報を読み出し、グラフィックス・ディスプレイ・サブシステム80に入力を供給するために前記情報を処理する。

【0016】図4を参照すると、グラフィックス・ディスプレイ・サブシステム80は、グラフィックス命令を表示のための一連の画素表現に変換するグラフィックス・プロセッサ82、表示されるイメージの表現を電子的に記憶するビデオ・フレーム・バッファ・メモリ84、及びビデオ・フレーム・バッファ・メモリ84に記憶されるイメージの可視表示を提供するビデオ表示装置86を含む。

【0017】各アプリケーションがホスト・プロセッサ20において開始されると、ホスト・メモリ内のFIFO-1 32などのFIFOが、そのアプリケーションによる排他的使用のために割当てられる。任意の時点において、複数のアプリケーションがオペレーション状態にあり、各々が専用の一時記憶レジスタ、例えばホスト・メモリ30内のFIFO32、34、36、38など、及びサブシステム・メモリ50内の対応するFIFOを有することが予想される。

【0018】FIFO32、34、36、38、52、54、56の管理は、各こうしたFIFOに対してポインタが読み出し、書込み、トップ及びボトムに対応して維持されることを要求する。

【0019】トップ及びボトム・ポインタは、システム・メモリ30内のFIFO32、34、36及び38のそれぞれの開始及び終了アドレスを定義する。読みしポインタはグラフィックス・サブシステム80に転送されるデータ又は制御情報の最終ワードのアドレスを定義する。書込みポインタはホスト・プロセッサ20により書込まれたデータ又は制御情報の最終ワードのアドレスを定義する。

【0020】伝送制御プロセッサ60は、読みしポインタにより示されるアドレスから開始し、書込みポインタにより示されるアドレスで終了するデータ又は制御情報のブロックの転送を制御する。

【0021】図5を参照して、伝送制御プロセッサ60の制御による、ホスト・メモリ30からサブシステム・メモリ50へのシステム・バス40を介する制御情報及びデータ情報の伝送について説明する。

【0022】読みし及び書込みポインタが、サブシステム・メモリ50及びホスト・メモリ30内のリンク・リ

スト57に保持される。伝送制御プロセッサ60はデータの要求時にリンク・リスト57を走査し、データを転送する。リンク・リスト57は、システムから新たなFIFOが追加又は消去される時、更新される。FIFOはそれらがアプリケーション・プログラムに割当てられると、リンク・リスト57に追加される。FIFOはアプリケーション・プログラムが終了すると、リンク・リスト57から消去される。追加のアプリケーションがホスト・プロセッサ20上で実行されると、追加のFIFOポイントがリンク・リスト57に追加される。同様にアプリケーションがホスト・プロセッサ20上での実行を終了すると、その対応するFIFOポイントがリンク・リスト57から除去される。

【0023】リンク・リストは非常によく知られた構造であり、レジスタがリンク・リストに如何に追加又は消去されるかに関しては、当業者には既知である。

【0024】情報伝送プロセス100は伝送制御プロセッサ60の制御の下で、データをシステム・バス40を介して、ホスト・メモリ30からサブシステム・メモリ50に転送するように動作する。これについて説明する。FIFO-1～52などのサブシステム・メモリ50内の第1のFIFOがステップ104で、FIFO内の使用可能な記憶空間の量を判断するために調査される。伝送制御プロセッサ60はステップ106で、FIFO52に関連する読み出しポイント及び書き込みポイントを読み出し比較することにより、サブシステム・メモリのFIFO52内の使用可能記憶空間の量が、データ伝送を受諾するのに十分かどうかを判断する。ポイントがFIFO52がフルであることを示す場合、伝送制御プロセッサ60はステップ120でカウンタを更新し、FIFO52のアクセスにおいて試行が不成功であったことを示す。ステップ106において十分な空間が存在すると判断されると、伝送制御プロセッサ60は次に、ホスト・メモリ30内のFIFO32などの対応するFIFOに関し、それがシステム・バス40の資源の効率的の使用を生成するために十分な転送データを有するかどうかを判断する。

【0025】同様にステップ108及びステップ110において、伝送制御プロセッサはシステムFIFO32の読み出しポイント及び書き込みポイントを調査する。FIFO32の読み出しポイント及び書き込みポイントがFIFOが空であることを示すと、カウンタがステップ120で増分され、試行が不成功であったことを示す。次に伝送制御プロセッサ60はステップ118で、リスト上の次のFIFO34に処理を進める。ホスト・メモリ30内の32、34、36、...、38などのFIFOの読み出し及び書き込みポイントが、十分な量のデータがサブシステム・メモリ50に転送されることを示すと、伝送制御プロセッサ60はシステム・バス40を介してデータ転送を開始する。伝送制御プロセッサ60はステップ1

12で、米国特許第3812475号において述べられるような直接メモリ・アクセス技術を用いて、システム・バス40上へのデータ転送を生じる。情報転送が完了すると、伝送制御プロセッサ60はステップ114で、ホスト・メモリ30及びサブシステム・メモリ50内の読み出し及び書き込みポイントをそれぞれ更新し、次にリンク・リスト57内の次のFIFOに移行する。ステップ116において1個のFIFOだけしか検出されない場合には、プロセス100はプロセスの開始102に戻り、伝送制御プロセッサ60の制御の下で次の転送を実行する。上述のステップは、リンク・リスト内の各連続するFIFO34、36、...、38に対して、或いはアプリケーション・プログラムが実行を完了するか又は終了されるまで実行される。

【0026】図6を参照すると、ここで述べられる本発明は、ホスト・メモリ30内の複数のFIFOからサブシステム・メモリ50内の複数のFIFOに情報を転送するためにも使用される。このオペレーションは伝送制御プロセッサ60の制御の下で実行され、各FIFO32、34、36、52、54、56は、リンク・リスト57内の次のFIFO34、36、54、56を指すポイントを含み、最後のFIFO36、56は最初のFIFO32、52を指し返す。この構成を使用し、32～52、34～54などの複数のFIFO対間の情報転送が、リンク・リスト57を横断することにより処理される。

【0027】101、103及び105などの複数のアプリケーション・プログラムがホスト・プロセッサ20内で同時に動作し、サブシステム・アプリケーションのためのデータ及び制御情報を生成する。各アプリケーション・プログラム101、103及び105はデータ又は制御ストリームを生成し、情報をアプリケーション・プログラムに関連するFIFOレジスタに記憶する。例えば、アプリケーション・プログラム101はFIFO-1～32に割当られ、アプリケーション・プログラム103は自身にFIFO-2～34を割当て、アプリケーション・プログラム105は自身にFIFO-3～36を割当てる。全てのFIFOはシステム・メモリ30内に存在する。各アプリケーションはデータ又は制御情報をサブシステム・メモリ50へ伝送するために、それらをそれぞれのFIFOに記憶する。各システム・メモリFIFO32、34及び36は、仮想アダプタとして動作し、データ又は制御情報をサブシステム・メモリ50内のFIFO52、54及び56の形式の対応する仮想アダプタに伝送する。これらは全て伝送制御プロセッサ60の制御の下で実行される。

【0028】DMAデータ転送は、データ及び制御情報が伝送制御プロセッサの制御の下で、32～52、34～54及び36～56などの仮想アダプタ対間で交換される時に、ホスト・プロセッサ20が他の処理を継続で

きるよう解放する。

【0029】伝送制御プロセッサ60は、図6において、FIFO34と伝送制御プロセッサ60を結ぶ実線、及び伝送制御プロセッサ60とサブシステム・メモリFIFO54を結ぶ実線で示されるように、システム・メモリ30内のFIFO34、及びサブシステム・メモリ50内のFIFO54などの仮想アダプタ間の情報フローを制御する。FIFO32と伝送制御プロセッサ60との間の破線、及びFIFO36と伝送制御プロセッサ60との間の破線は、FIFO34に含まれる情報の終りに達した後に、データ及び制御情報を伝送するために使用される別の使用可能なバスを示す。同様に伝送制御プロセッサ60とFIFO52との間、及び伝送制御プロセッサ60とFIFO56との間を結ぶ破線も存在し、これらはFIFO34とFIFO54との間の伝送の完了後に使用可能なデータ・バスを示す。

【0030】更に例として、FIFO52は表示装置86(図4参照)上に表示されるグラフィックス表現を生成するために使用されるデータ及び制御情報をサブシステム・アプリケーション・プロセッサ70に提供するよう、活動化される。

【0031】実質的に、伝送制御プロセッサ60の制御の下で、FIFO対32-52、34-54及び36-56を使用することにより、システム・メモリ30とサブシステム・メモリ50との間でDMA転送の使用によるオーバヘッドを正当化するのに十分な量のデータを転送可能となり、同時にホスト・プロセッサを他の処理のために解放することにより、システム・バス40の効率的使用が可能となる。

【0032】伝送制御プロセッサはまた、システム・バス40において、ホスト・メモリ30とサブシステム・メモリ50との間で伝送される情報を走査し、プログラム・オペレーション・コードを探索することができる。転送において所定のオペレーション・コードに遭遇すると、伝送制御プロセッサ60はプロセスを停止し、割込みをホスト・プロセッサ20及びシステム・アプリケーション・プロセッサ70に通知したりする。

【0033】まとめとして、本発明の構成に関して以下の事項を開示する。

【0034】(1) オペレーティング・システム・プログラムの制御の下でアプリケーション・プログラムを実行する第1の処理手段と、前記第1の処理手段に接続され、前記第1の処理手段に関するプログラム及びデータの形式の情報を記憶し、1個以上の周辺サブシステムに伝送する前記情報を蓄積する1個以上の一時記憶レジスタを含む第1のメモリ手段と、前記第1のメモリ手段に接続され、前記情報を前記1個以上の周辺サブシステムに伝送する伝送手段と、前記伝送手段に接続される1個以上の周辺サブシステムであって、各前記周辺サブシステムが、前記伝送手段に接続され、前記第1のメモリ

と前記周辺サブシステムとの間の情報の伝送を制御する伝送制御手段と、前記伝送手段及び前記伝送制御手段に接続され、前記第1のメモリ手段から受信される情報及び前記第1のメモリ手段に伝送される情報を記憶する第2のメモリ手段であって、前記第1のメモリ手段から受信される前記情報を記憶し、前記第2のメモリ手段から前記第1のメモリ手段に伝送されるデータを蓄積する1個以上の一時レジスタと、前記第2のメモリ手段に接続され、前記第1のメモリ手段から前記第2のメモリ手段に伝送される情報を処理する第2のプロセッサとを含む前記第2のメモリ手段と、を含む各前記周辺サブシステムとを含むデータ処理システム。

(2) 前記第2のプロセッサに接続され、前記第2のプロセッサによる処理情報結果を表示するビデオ表示システムを含む、前記(1)記載のデータ処理システム。

(3) 前記ビデオ表示システムが前記第2のプロセッサによる処理の結果生じる情報のグラフィック表現を表示する、前記(2)記載のデータ処理システム。

(4) 前記第1のメモリ内の前記一時記憶レジスタがファーストイン-ファーストアウト・レジスタを含む、前記(1)記載のデータ処理システム。

(5) 前記第2のメモリ手段内の前記1個以上の一時レジスタが、ファーストイン-ファーストアウト・レジスタを含む、前記(1)記載のデータ処理システム。

(6) 情報処理システムにおける第1のメモリ手段と第2のメモリ手段との間のデータの効率的伝送方法であって、第1のメモリ手段内の1個以上の一時レジスタ内のデータ量が第1の所定レベルに達したかどうかを判断する第1の判断ステップと、前記第1の判断ステップにより前記第1の所定レベルに達したと判断されると、直接メモリ・アクセス転送を用いる伝送制御手段の制御により、前記第1のメモリ手段内の前記一時レジスタから、前記第2のメモリ手段内の対応する1個以上の一時レジスタにデータを伝送するステップとを含むデータ効率的伝送方法。

(7) 前記第2のメモリ手段内の前記1個以上の一時レジスタ内に、伝送されるデータ量を収容する十分な空間が存在するかどうかを判断するステップを含む、前記(6)記載のデータ効率的伝送方法。

(8) 情報を伝送するための多数の試行を表すカウントを含む1個以上のカウンタを更新するステップを含む、前記(6)記載のデータ効率的伝送方法。

(9) 前記第1のメモリ手段内に、前記第2のメモリ手段に伝送される情報を含む複数の一時記憶レジスタが存在するかどうかを判断し、複数存在すると判断されると、前の一時記憶レジスタからのデータ転送の完了後に、次の一時記憶レジスタに移行するステップを含む、前記(6)記載のデータ効率的伝送方法。

【0035】

【発明の効果】以上説明したように、本発明によれば、

11

転送以前に FIFO レジスタにデータを蓄積することにより、システム・バス上におけるデータ転送の開始及び停止に関連するオーバヘッドの影響が最小化され、ホストとサブシステムとの間でデータを効率的に転送することが可能となる。

【図面の簡単な説明】

【図1】本発明の好適な実施例のブロック図である。

【図2】図1の実施例のホスト・メモリの FIFO レジスタ割当てを示す図である。

【図3】図1の実施例のサブシステム・メモリの FIFO 10 レジスタ割当てを示す図である。

【図4】図1の実施例のグラフィックス・ディスプレイ・サブシステムのブロック図である。

【図5】本発明の好適な実施例によるホストとサブシステム・メモリとの間の情報転送プロセスの流れ図である。

【図6】複数データ・バスを示す本発明の好適な実施例のデータ流れ図である。

【符号の説明】

100 情報処理システム

12

20 ホスト・プロセッサ

30 ホスト・メモリ

32、52 FIFO-1

34、54 FIFO-2

36 FIFO-3

38、56 FIFO-n

40 システム・バス

50 サブシステム・メモリ

57 リンク・リスト

60 伝送制御プログラム

70 サブシステム・アプリケーション・プロセッサ

80 グラフィックス・ディスプレイ・システム

82 グラフィックス・プロセッサ

84 ビデオ・フレーム・バッファ・メモリ

86 ビデオ表示装置

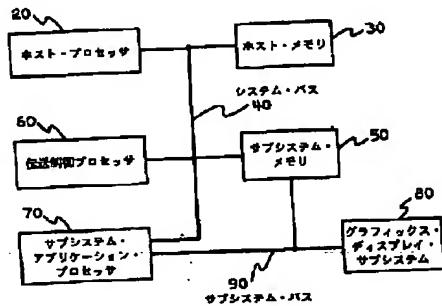
90 サブシステム・バス

100 情報伝送プロセス

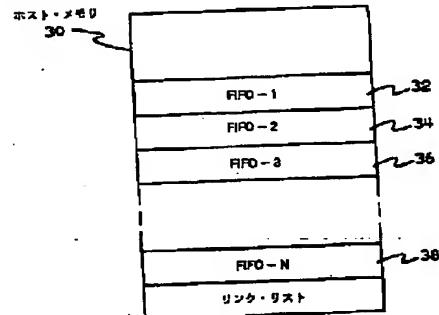
101、103、105 アプリケーション・プログラム

20

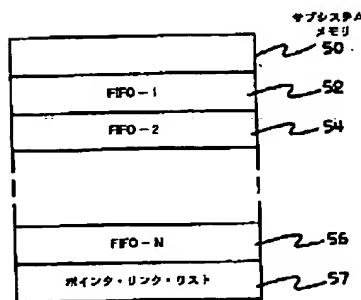
【図1】



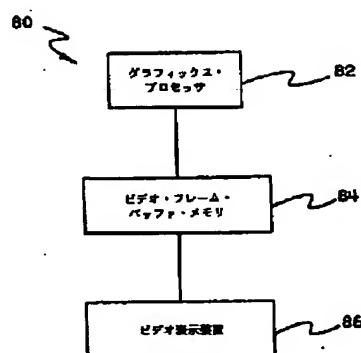
【図2】



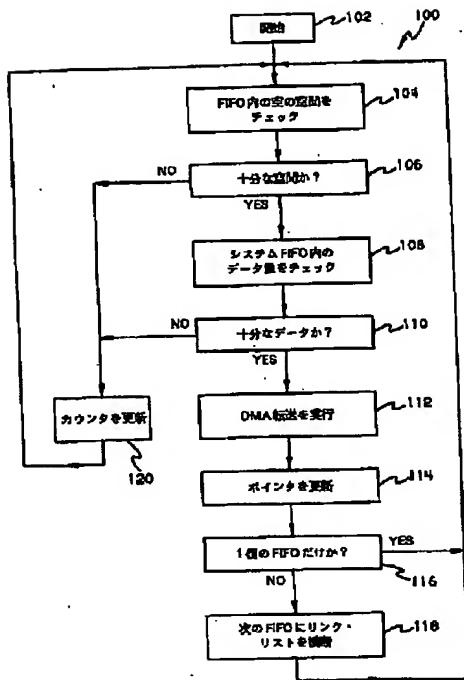
【図3】



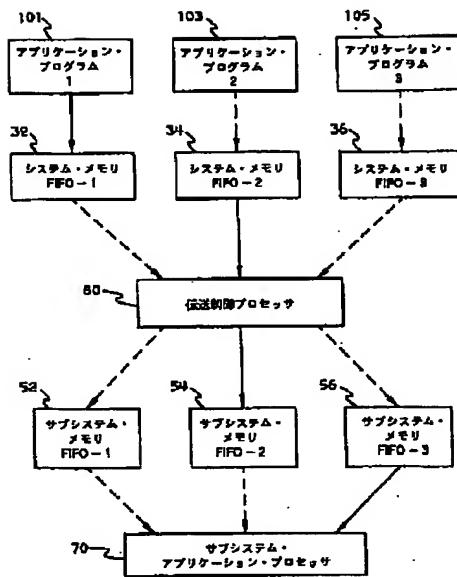
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 ポール・デビッド・デニクラ
アメリカ合衆国、ニューヨーク州ハーレイ、レイナ・ストリート 125
(72)発明者 チャールズ・レイ・ジョンズ
アメリカ合衆国、テキサス州オースティン、カシア・ドライブ 10703

(72)発明者 オマー・マーマウド・ラヒム
アメリカ合衆国、ニューヨーク州シラキューズ、ウエストブルック・ヒルズ・ドライブ 252
(72)発明者 デビッド・アンドリュー・ライス
アメリカ合衆国、ニューヨーク州シラキューズ、ウエストブルック・ヒルズ・ドライブ 256
(72)発明者 マーク・アーネスト・バン・ノストランド
アメリカ合衆国、ニューヨーク州スタッツバーグ、ヘインズ・コート 2